

CLIPPEDIMAGE= JP408222682A

PAT-NO: JP408222682A

DOCUMENT-IDENTIFIER: JP 08222682 A

TITLE: LEAD FRAME AND MANUFACTURING METHOD THEREOF

PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

YAMADA, JUNICHI
KAMI, TOMOE
SASAKI, MASARU

ASSIGNEE-INFORMATION:

NAME
DAINIPPON PRINTING CO LTD

COUNTRY
N/A

APPL-NO: JP07047919

APPL-DATE: February 14, 1995

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PURPOSE: To provide a lead frame adaptable to multi-terminal design of semiconductor devices and after-process such as assembling and mounting steps by making one face of the top end of each inner lead parallel to the faces of other parts thereof and the other three faces thereof recessed.

CONSTITUTION: A lead frame 10 for resin-sealed semiconductor devices mounts a semiconductor element on inner lead tip parts 11A through bumps and electrically connects it to external circuits by outer leads 12 integrated with inner leads 11. The tip part 11A is thinner than other parts of the frame 10 and nearly rectangular in cross-section. One face of the

part 11A is parallel
to other parts faces of the frame 10 and other three faces
of the lead 11 are
made recessed.

COPYRIGHT: (C)1996, JPO

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	U
				A
21/60	3 1 1		21/60	3 1 1 R

(21) 出願番号 特願平7-47919
(22) 出願日 平成7年(1995)2月14日

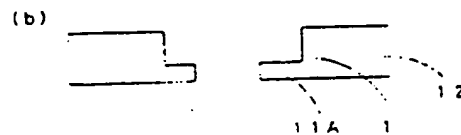
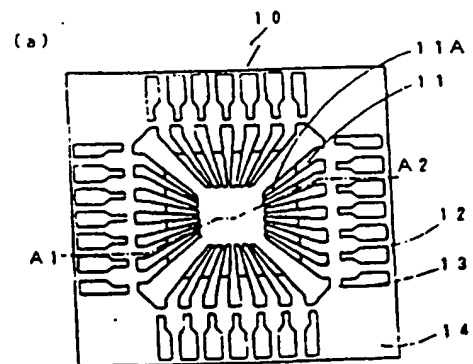
(71) 出願人 000002897
大日本印刷株式会社
東京都新宿区市谷加賀町一丁目1番1号
(72) 発明者 山田 淳一
東京都新宿区市谷加賀町一丁目1番1号
大日本印刷株式会社内
(72) 発明者 上 智江
東京都新宿区市谷加賀町一丁目1番1号
大日本印刷株式会社内
(72) 発明者 佐々木 賢
東京都新宿区市谷加賀町一丁目1番1号
大日本印刷株式会社内
(74) 代理人 弁理士 小西 淳美

(54) 【発明の名称】 リードフレームおよびその製造方法

(55) 【要約】

【目的】 半導体装置の多端子化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できる高精細なリードフレームを提供する。

【構成】 半導体素子をバンプを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する。樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の面は凹状に形成されている。



【請求項1】 半導体素子をパッケージを介してインナーリード先端部に搭載し、インナーリードと一体となって電気的に接続する、樹脂封止型半導体装置用リードフレームの接続構造。樹脂封止型半導体装置用リードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするリードフレーム。

(A) リードフレーム素材の両面に感光性レジストを塗布する工程。

(C) 少なくとも、インサートリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面膜から腐蝕液による第一のエッチング加工を行い、腐蝕されたインサートリード先端部形成領域において、所定形状のエッチング加工して止める工程、

(E) 平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第2のエッチング加工を行い、微通を形成し、インサート先端部を形成する工程。

【 華野軍、土共軍に對する 】

【例 7.1】 例 7.1 中, $\mathbf{A} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}$, $\mathbf{B} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}$, $\mathbf{C} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}$, $\mathbf{D} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}$ 。

{0002}

10 再体装置6Cは、半導体素子を42%ニッケル-鉄合金等からなるリードフレームに搭載した後に、樹脂層により封止されたパッケージとして、半導体装置として用いられる。図6Cに示されるような構造であり、半導体装置6Cは、半導体素子を42%ニッケル-鉄合金等からなるリードフレームに搭載した後に、樹脂層により封止されたパッケージとして、半導体装置として用いられる。

1)を封止して外界からの応力、汚染から守る樹脂パッケージになっている。このようなリードフレームを利用した樹脂封止型の半導体装置(プラスチックリードフレームパッケージ)においても、電子機器の軽薄短小化の時流と半導体素子の高集積化に伴い、小型薄型化かつ電極端子の増大化が顕著で、その結果、樹脂封止型半導体装置、特にQFP(Quad Flat Packag

のエッチング加工方法の工程について以下、図5に基づいて簡単に述べておく。先ず、銅合金もしくは1-2%ニッケル-鉄合金からなる厚さ0.25mm程度の基板

次に、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト層を露光した後、所定の現像液で該感光性レジストを現像して（図5（c））、レジストパ

1. 50 2. 50 3. 50 4. 50 5. 50 6. 50 7. 50 8. 50 9. 50 10. 50

51)に吹き付け所定の寸法形状にエッチングし、荷造りさせる。(図5(d))

次いで、レジスト膜を剥膜処理し(図5(e))、洗浄後、所望のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに黒メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付きポリイミドテープにてテーピング処理したり、必要に応じて所定の量タブ吊りバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による凹陥に起因する凹陥部の他に微細(凹)方向にも進むため、その微細化加工にも限度があるのが一般的で、図5に示すように、リードフレーム素材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工限度幅は、板厚の50~100%程度と書かれている。又、リードフレームの後工程等のアウターリードの強度を考えた場合、一般的には、その板厚は約0.125mm以上必要とされている。このため、図5に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための平坦幅が少なくとも70~80μm必要であることより、0.165mmピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

【0003】しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端子であるインナーリードのピッチが0.165mmピッチを経て、既に0.15~0.13mmピッチまでの狭ピッチ化要求がでてきた事と、エッチング加工において、リード部材の板厚を薄した場合、アセンブリ工程や実装工程といった後工程におけるアウターリードの強度確保が難しいという点から、単にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0004】これに対応する方法として、アウターリードの強度を確保したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程における精度が不足する(例えば、めっきエリアの平滑性)、ボンディング、モールドイング時のクランプに必要なインナーリードの平坦性、寸法精度が確保されない、裂損を2度行なわれればならない等製造工程が複雑になる、等問題点がある。そして、インナーリード部分をハーフエッチングにより薄くしてエッチング加工を行う方法の場合にも、裂損を2度行なわれればならない等製造工程が複雑になる、等問題点がある。従って、実用化には、かかる問題点を克服した方法が求められていた。

【0005】一方、樹脂封止型半導体装置の多端子化に対応すべく、上記のリードフレームを用いて半導体素子の端子部とリードフレームのインナーリード先端部とをワイヤボンディングする方法とは異なる、半導体素子をバンパを介して外部回路と接続するための導体上に搭載するフリップチップ法が提案されている。この方法は、一般には図7に示すように、セラミック材料よりなる基板73上に配線(インナーリード)72を配し、その配線(インナーリード)72の電極部(インナーリード先端部)72A上に半導体素子70をバンパ71を介して搭載するものである。しかしながら、この方法の場合、配線72の電極部72Aと半導体素子70の端子部70Aとを組み合わせる時にバンパ71が電極部72Aよりズレてしまい、電気的接続がうまくいかないという問題点があり、このフリップチップ法により、リードフレームのインナーリード先端部に半導体素子を搭載した、樹脂封止型半導体装置も考えられたが、特に高精細なリードフレームを用いたものは実用に至っていない。

【0006】

【発明が解決しようとする課題】このように、樹脂封止型半導体装置の多端子化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できるリードフレームが求められていた。本発明は、このような状況のもと、半導体装置の多端子化に対応でき、且つ、後工程にも対応できる高精細なリードフレームを提供しようとするものであり、又、そのような高精細なリードフレームの製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明のリードフレームは、半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするものである。また、本発明のリードフレームの製造方法は、半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、半導体素子をバンパを介して搭載するインナーリード先端部は、樹脂をリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、前記インナーリード先端部の1面は、インナーリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするものである。

29

23

4

29

23

エッチング抵抗膜プロセスを、レジストパターン形成と全面に塗布する必要はないが、第二の凹部形成を含む一部にのみ塗布することは許されるに、図1 (c) に示すように、第二の凹部形成とともに、第二の凹部部を全面にエッチング抵抗膜プロセスを塗布した。本実施例に使用したエッチング抵抗膜は、アルカリ、酸型、有機溶剤に耐性がある。また、凹部形成工程後に凹部形成面を保護する。

ング時にある程度の柔軟性のあるものが、好ましく、特に、上記ワックスに限定されず、いし硬化型のものでも良い。このようにエッチング抵抗層48をインナーリード先端部の形状を形成するためのパターンが形成された面側の腐蝕された第二の凹部46に埋め込むことにより、後工程でのエッチング時に第二の凹部46が腐蝕されて大きくならないようにしているとともに、高精密なエッチング加工に対しての機械的な強度補強をしておき、スプレー圧を高く(2.5 kg/cm²)とすることができ、これによりエッチングが深さ方向に進行しやすくなる。この後、へら状(平坦状)に腐蝕された第一の凹部45形成面側のリードフレーム11をエッチングし、露出させ、インナーリード先端部49を形成した。(図4(d))

この際、インナーリード先端部のエッチング形成面49はインナーリード側にへこんだ凹状になる。また、先の第1回目のエッチング加工にて作製された、エッチング形成面49Sを挟む2面もインナーリード側にへこんだ凹状である。次いで、洗浄、エッチング抵抗層48の除去、レジスト膜(レジストパターン42A、42B)の除去を行い、インナーリード先端部49が露出加工された図4(a)に示すリードフレームを得た。エッチング抵抗層48とレジスト膜(レジストパターン42A、42B)の除去は水酸化ナトリウム水溶液により溶解除去した。

【0013】尚、上記実施例においては、エッチング加工にて、図3(a)に示すように、インナーリード先端部から導体部15を延設し、インナーリード先端部同士を繋げた形状にして形成したものを得て、導体部15をプレス等により切断除去して図1(a)に示す形状を得る。図3(a)に示すものを切断し、図1に示す形状にする際には、図3(b)に示すように、通常、補強のためポリイミドテープを使用する。図3(b)の状態では、プレス等により導体部15を切断除去し、図2(a)、図2(b)に示すように半導体素子20をインナーリード先端部11Aにバンパ21を介して搭載した後、図6(a)に示すワイヤボンディング接続のものと同様に、樹脂封止をするが、半導体素子は、テープをつけた状態のまま、図6(b)のように搭載され、そのまま樹脂封止される。

【0014】尚、本方法によるインナーリード先端部49の微細化加工は、第二の凹部46の形状と、最終的に得られるインナーリード先端部の厚さしに左右されるもので、例えば、板厚1を0.07mmまで薄くすると、図4(a)に示す、平均幅Wを100μmとして、インナーリード先端部11Aにバンパ21を介して搭載した後、図6(a)に示すワイヤボンディング接続のものと同様に、樹脂封止をするが、半導体素子は、テープをつけた状態のまま、図6(b)のように搭載され、そのまま樹脂封止される。

は更に狭いピッチまで作製が可能となる。

【0015】

【発明の効果】本発明のリードフレームは、上記のように、半導体素子をバンパを介してインナーリード先端部に搭載する、樹脂封止型半導体装置に用いられるリードフレームにおいて、バンパとバンパを搭載するインナーリード先端部との位置ズレが起きても、電氣的接続がし易いものの提供を可能とするものであり、且つ、エッチング加工にてインナーリード先端部の微細加工が可能を構成としている。又、本発明のリードフレームの製造方法は、半導体装置の多端子化に伴う、リードフレームのインナーリード先端部の小ピッチ化、微細化に対応でき、且つ、半導体装置作製のためのアセンブリ工程や実装工程等の後工程にも対応できる。上記本発明のリードフレームの製造を可能とするものである。結局、本発明は、半導体装置用のリードフレームで、半導体装置の多端子化に対応でき、且つ、半導体装置作製の後工程にも対応できる、高精密なリードフレームを提供することを可能としている。

【図面の簡単な説明】

【図1】実施例のリードフレーム

【図2】実施例のリードフレームを説明するための図

【図3】エッチング後のリードフレームの形状等を説明するための図

【図4】本発明実施例のリードフレームの製造工程図

【図5】従来のリードフレームのエッチング製造工程を説明するための図

【図6】樹脂封止型半導体装置図

【図7】従来のフリップチップ法を説明するための図

【符号の説明】

10	リードフレーム
11	インナーリード
11A	インナーリード先端部
12	アウトワード
13	ダムバー
14	フレーム部
15	導体
16	テープ
20、20a	半導体素子
21、21a	バンパ
25、25a	テープ
11	リードフレーム素材
12A、12B	レジストパターン
13	第一の開口部
14	第二の開口部
15	第一の凹部
16	第二の凹部
17	平均幅W
18	エッチング抵抗層
19	インナーリード先端部

(7)

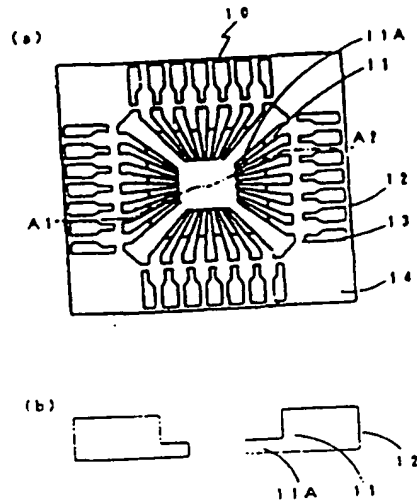
12

- 51 リードフレーム素材
 52 フォトリソ
 53 レジストパターン
 54 インナーリード
 60, 60a 樹脂封止型半導体装置
 61, 61a 半導体素子
 62 ダンパッド
 63, 63a インナーリード
 63aA インナーリード先端部
 64, 64a アウターリード

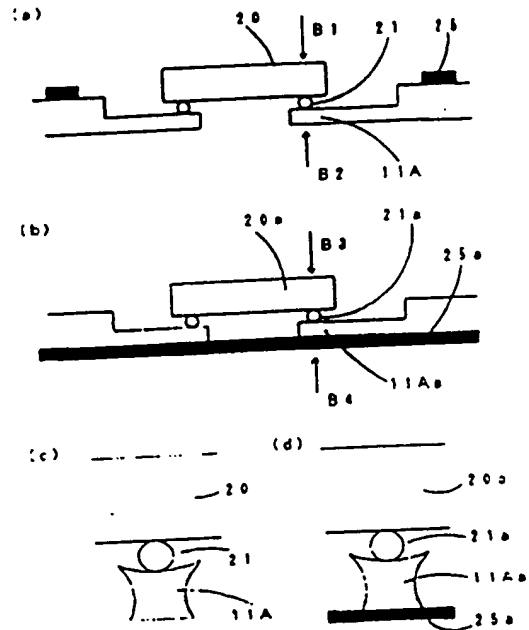
- 65, 65a
 66
 67
 67a
 70
 71
 72
 72A
 73
 10 73

- 12 樹脂
 半導体素子電極部
 ワイヤ
 バンプ
 半導体素子
 バンプ
 配線 (インナーリード)
 電極部 (インナーリード先
 セラミック基板

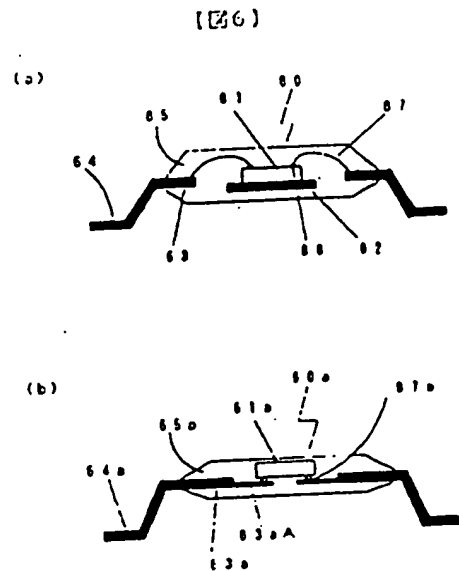
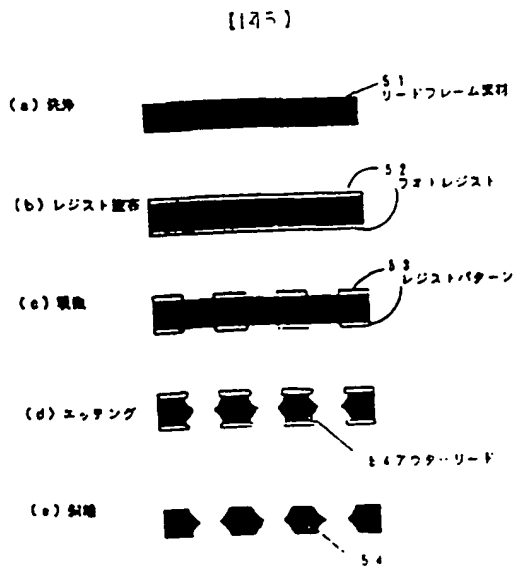
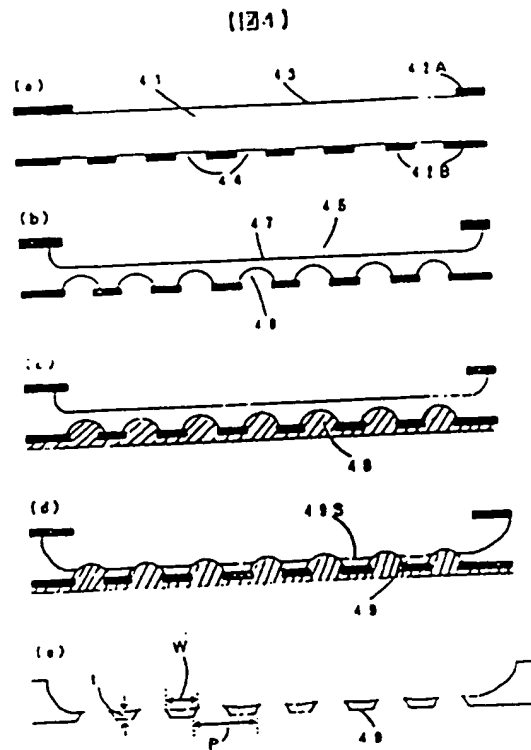
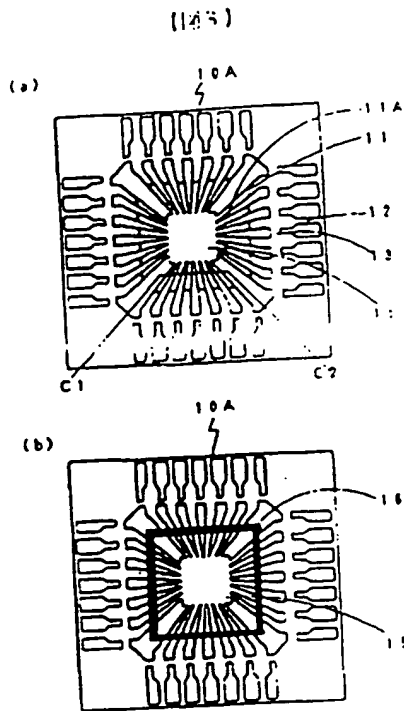
(11A)



(12A)



(8)



[147]

